

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-186254

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H02M 3/28
H02M 3/335

(21)Application number : 2000-380399

(71)Applicant : NEC TOHOKU LTD

(22)Date of filing : 14.12.2000

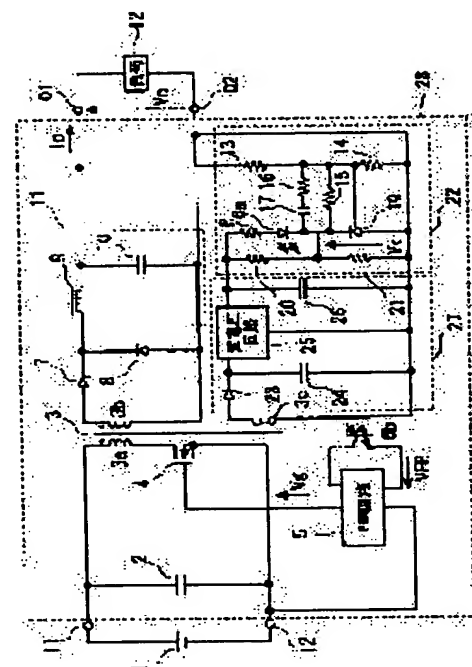
(72)Inventor : HIROTA TAKU

(54) SWITCHING POWER SUPPLY CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power supply in which variation of output voltage is suppressed at the transient time by improving the response of primary and secondary feedback circuits in order to deal with high speed load variation of an insulated switching power supply, and a load element does not cause an unstable operation due to undervoltage.

SOLUTION: An AC voltage is generated on the secondary of an insulated transformer for voltage conversion from a DC input power supply by turning on/off a switching element connected with the primary of the transformer and converted into a DC voltage through a rectifier circuit and a smoothing filter, thus supplying a stabilized power to a connected load. In such a switching power supply, an output error detecting circuit monitors the output voltage from a converter and a bias voltage is applied constantly to the light emitting element of a photocoupler being used for delivering a feedback signal to a PWM circuit.



LEGAL STATUS

[Date of request for examination] 08.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3471750

[Date of registration] 12.09.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-186254

(P2002-186254A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) Int.Cl.

H 0 2 M 3/28

識別記号

3/335

F I

H 0 2 M 3/28

3/335

ターム(参考)

P 5 H 7 3 0

H

X

B

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願2000-380399(P2000-380399)

(22) 出願日 平成12年12月14日 (2000. 12. 14)

(71) 出願人 000222060

東北日本電気株式会社

岩手県一関市柄貝1番地

(72) 発明者 廣田 卓

岩手県一関市柄貝1番地 東北日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5H730 AA04 AS01 B823 B857 DD04

EE08 EE10 EE59 FD01 FF19

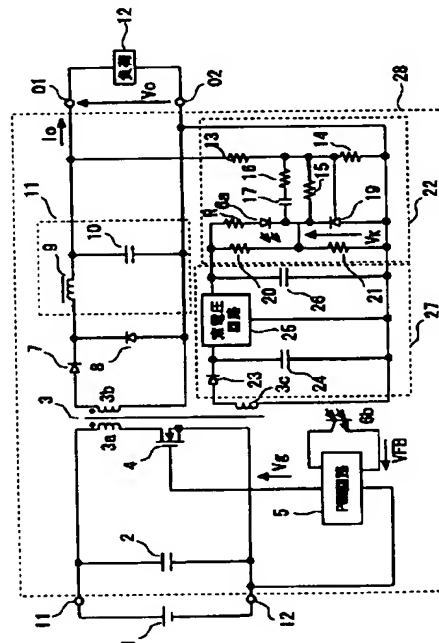
FC05 VV03

(54) 【発明の名称】 スイッチング電源回路

(57) 【要約】

【課題】絶縁型スイッチング電源の高速負荷変動時に対応するための一次二次帰還回路の高速応答を改善することで、過渡時の出力電圧変動量を少なくし、負荷素子が動作電圧不足による不安定動作を引き起こすことのない電源装置を提供すること。

【解決手段】DC入力電源を電圧変換用絶縁トランスの一次側に接続されたスイッチング素子のON/OFFにより、トランスの二次側に交流電圧を発生させ、整流回路、平滑フィルタを介して直流へ変換し、接続された負荷へ安定した電力を供給するスイッチング電源装置において、出力誤差検出回路にてコンバータの出力電圧を監視し、PWM回路への帰還信号を送出するために用いるフォトカブラの発光素子に常にバイアス電圧をかける構成をもつ。



【特許請求の範囲】

【請求項1】直流入力電源を入力端に受け電圧変換用トランスの一次側に接続されたスイッチング手段の開閉により前記電圧変換用トランスの二次側に交流電圧を発生させ、前記交流電圧を整流回路、及び平滑フィルタを介して直流電圧に変換して出力し、出力端に接続された負荷へ電力を供給する構成とされており、出力電圧を監視し前記出力電圧の状態を二次側から一次側に絶縁された状態で伝達するため伝達素子の動作を制御する出力誤差検出回路と、前記伝達素子の出力を受ける受信素子の出力を帰還信号として入力し、前記帰還信号のレベルに基づき前記スイッチング手段の制御端子へ供給するパルス制御信号を出力する制御信号生成回路と、を備え、前記出力誤差検出回路の前記伝達素子には所定のバイアス電圧がかけられており、負荷軽減もしくは無負荷状態で前記制御信号生成回路に前記スイッチング手段へのパルス制御信号を送出しないレベルの帰還信号が入力されている状態から、負荷が変化し前記出力電圧が低下したときに、前記帰還信号は、前記制御信号生成回路が前記スイッチング手段に対してパルス制御信号を出力するレベルにまでに速やかに移行する、ことを特徴とするスイッチング電源回路。

【請求項2】直流入力電源を入力端に受け電圧変換用トランスの一次側に接続されたスイッチング手段の開閉により、前記電圧変換用トランスの二次側に交流電圧を発生させ、前記交流電圧を整流回路、及び平滑フィルタを介して直流電圧に変換して出力し、出力端に接続された負荷へ電力を供給する構成とされており、出力電圧を監視し前記出力電圧に基づき発光手段の発光を制御する出力誤差検出回路と、前記発光手段から光を受光し電気信号を出力する受光手段の出力を帰還信号として入力し、前記帰還信号と、発振手段で生成する周期信号波形との振幅の大きに基づき、前記スイッチング手段の制御端子へ供給する制御信号を出力する制御信号生成回路と、を備えたスイッチング電源装置において、前記出力誤差検出回路が、前記発光手段に対して常に所定のバイアス電圧をかけておく構成とされている、ことを特徴とするスイッチング電源回路。

【請求項3】前記発光手段がダイオードよりなり、前記ダイオードの一端には、前記電圧変換用トランスの二次側補助巻線に発生した交流電圧を整流し定電圧化してなる補助電源電圧が供給され、前記ダイオードの他端には、前記出力誤差検出回路の誤差増幅器の出力端が接続され順電流の量が調整され、さらに前記ダイオードの他端には前記補助電源電圧を分圧した電圧が供給され、前記誤差増幅器の出力電位によって前記ダイオードがバイアスされない状態になると、前記ダイオードは前記補助電源電圧を分圧した電圧でバイアスされる、ことを特

徴とする請求項2記載のスイッチング電源回路。

【請求項4】直流入力電源を入力端に受け電圧変換用トランスの一次側に接続されたスイッチング素子のオン及びオフにより、前記電圧変換用トランスの二次側に交流電圧を発生させ、前記交流電圧を整流回路、及び平滑フィルタを介して直流電圧に変換して出力し、出力端に接続された負荷に電力を供給するスイッチング電源回路において、

出力電圧を監視し前記出力電圧に基づき発光素子の発光を制御する出力誤差検出回路が、前記発光素子に対して常にバイアス電圧をかける構成とされており、前記発光素子とフォトカプラをなし、前記発光素子からの光を受光し電気信号を出力する受光素子の出力を帰還信号として入力とする一次側のPWM（パルス幅変調）回路が、発振回路で生成する三角波信号波形と前記帰還信号との振幅の大小に基づき、一次側の前記スイッチング素子の制御端子へ供給するパルス制御信号を出力する、ことを特徴とするスイッチング電源回路。

【請求項5】直流電源を入力し電圧変換用トランスの一次側に接続されたスイッチング素子のオン及びオフにより該トランス二次側に交流電圧を発生させ、前記交流電圧を整流回路、及び平滑フィルタを介して直流電圧に変換して出力端から出力し該出力端に接続された負荷へ電力を供給する構成とされており、前記出力端の出力電圧を監視し前記出力電圧に応じて発光素子に流れる電流を可変させる制御を行う出力誤差検出回路と、前記発光素子の光を受光する受光素子からの電気信号を帰還信号として入力し、該帰還信号の振幅に基づき、前記一次側のスイッチング素子の制御端子に供給するパルス制御信号の送付の有無、及びパルス幅を制御する制御信号生成回路と、を備えたスイッチング電源回路であって、

前記出力誤差検出回路の前記発光素子には、前記電圧変換用トランスの二次側の補助電源回路で二次側の交流電圧を整流回路で整流し定電圧回路で定電圧化してなる補助電源電圧を基準に生成される所定のバイアス電圧が供給されており、前記負荷が軽減して前記出力電圧の上昇に伴い前記発光素子に流れる電流が減少し、前記帰還信号のレベルが低下して前記一次側のスイッチング素子へのパルス制御信号の供給が途絶えた状態から、前記負荷が増加して前記出力電圧が下降し前記一次側のスイッチング素子の制御端子に供給するパルス制御信号を再開する必要性が生じた場合、速やかに前記発光素子に電流が流れはじめ、前記帰還信号は、前記スイッチング素子に対してパルス制御信号を出力するレベルにまでに速やかに移行して前記スイッチング素子の制御端子にパルス制御信号が出力される、ことを特徴とするスイッチング電源回路。

【請求項6】前記補助電源回路が、前記トランスの二次

側補助巻線の一端に入力端が接続された整流素子と、前記整流素子の出力端と、前記二次側補助巻線他端の間に接続された第1のコンデンサと、前記整流素子の出力端を入力端に輸入する三端子の定電圧回路と、前記定電圧回路の出力端と前記二次側補助巻線他端と前記の間に接続された第2のコンデンサと、を備え、前記第2のコンデンサの端子電圧が補助電源電圧として、前記出力誤差検出回路に供給される、ことを特徴とする請求項5記載のスイッチング電源回路。

【請求項7】前記出力誤差検出回路が、前記負荷に供給される出力電圧を入力とする誤差増幅器を備え、前記発光素子の一端には前記補助電源回路から出力される前記補助電源電圧が供給され、前記誤差増幅器の出力端と前記発光素子の他端との接続点には、前記補助電源電圧を抵抗で分圧した電圧が供給され、前記誤差増幅器の出力電位によって前記発光素子がバイアスされない状態になると、前記発光素子は前記補助電源電圧を分圧した電圧でバイアスされる、ことを特徴とする請求項5又は6記載のスイッチング電源回路。

【請求項8】前記出力誤差検出回路が、前記負荷に供給される出力電圧を入力とする誤差増幅器を備え、前記発光素子をなすダイオードのアノードには、前記補助電源回路から出力される前記補助電源電圧が供給され、前記ダイオードのカソードは、前記誤差増幅器の出力端に接続されるとともに、前記補助電源電圧を抵抗で分圧した電圧がバイアス電圧として供給され、前記誤差増幅器の出力電位によって前記ダイオードがバイアスされない状態になると、前記ダイオードは前記補助電源電圧を抵抗で分圧した電圧でバイアスされ、前記バイアス電圧は、前記帰還信号が制御信号生成回路でパルス制御信号を出力しないレベルとなるように設定されている、ことを特徴とする請求項5又は6記載のスイッチング電源回路。

【請求項9】前記制御信号生成回路が、前記受光素子から出力される帰還信号と、発振器から発振出力される周期的な三角波信号のレベルの大小関係でそのパルス幅が規定されるパルス制御信号を生成するPWM（パルス幅変調）回路よりなる、ことを特徴とする請求項5記載のスイッチング電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁型のスイッチング電源回路に関し、特に、出力誤差検出回路にフォトカブラなどのオプトデバイスを用いてスイッチング電源の出力電圧の安定化制御を行う回路に関する。

【0002】

【従来の技術】従来の絶縁型スイッチング電源装置における出力電圧安定のための帰還制御方式について図3を参照して説明する。図3に示すように、この従来のスイ

ッチング電源回路は、入力DC（直流）電源29と、入力DC電源29を入力とする端子11、12間に接続された入力フィルタ（コンデンサ）30と、電力変換トランスの一次巻線32a及び電力変換スイッチング素子31と、電力変換トランスの二次巻線32bの一端にアノード端子が接続されたダイオードよりなる整流素子33と、整流素子33のカソード端子にカソード端子が接続され、アノード端子が二次巻線32bの他端に接続されたダイオードよりなる整流素子35と、整流素子33のカソード端子に一端が接続されたチョークコイル34と、チョークコイル34の他端に一端が接続され、二次巻線32bの他端に他端が接続されたコンデンサ36で構成されるフィルタ52と、を備えた電力変換回路53を備えており、電力変換回路53の出力端O1、O2間に負荷37が接続されている。

【0003】電力変換回路53の出力端O1、O2間の出力電圧Voを一定の精度で安定化させるための誤差検出回路48を備えている。この誤差検出回路48は、電力変換回路53の出力端O1に一端が接続された抵抗器43と、電力変換回路53の出力端O2に一端が接続され、他端が抵抗器43の他端に接続された抵抗器44と、電力変換回路53の出力端O2に一の入力端が接続され、抵抗器43と抵抗器44の接続点電位を他の入力端に輸入とする誤差増幅器47と、誤差増幅器47の出力端と誤差増幅器47の他の入力端（抵抗器43と抵抗器44の接続点）との間に接続される抵抗器42と、抵抗器42とは並列形態に、直列に接続された抵抗器48及びコンデンサ46と、を備えている。

【0004】二次側巻線32cの一端にアノード端子が接続されたダイオードよりなる整流素子38と、整流素子33のカソード端子と二次巻線32cの他端間に接続されたコンデンサ40と、整流素子33のカソード端子のコンデンサ40の接続点電圧を一端に輸入し、二次巻線32cの他端に接続された定電圧回路39（3端子レギュレータ回路）と、定電圧回路39の出力端と二次巻線32cの他端間に接続されたコンデンサ41と、を備え、二次巻線32cの他端とコンデンサ40と定電圧回路39とコンデンサ41の接続点は、電力変換回路53の出力端O2に接続されている。そして定電圧回路39の出力端とコンデンサ41の接続点がアノード端子に接続されたダイオード50aと、ダイオード60aのカソード端子に一端が接続された抵抗49とを備え、抵抗49の他端は、誤差増幅器47の出力端に接続されている。ダイオード50aと、ダイオード50aからの発光を受けるフォトトランジスタ50bはフォトカブラ50を構成しており、フォトトランジスタ50bの出力は、PWM（Pulse Width Modulation；パルス幅変調）回路51に輸入され、PWM回路51から出力されるパルス制御信号が、電力変換スイッチング素子31（NMOSET）の制御端子（ゲート端子）に輸入され、電力

変換スイッチング素子31のスイッチングを制御する。

【0005】電力変換トランス32の二次側補助巻線32cに発生した交流電圧から整流素子38、コンデンサ40にて直流電圧を生成し定電圧回路39へ入力され、定電圧回路39の出力電圧を、コンデンサ41で平滑化して、ダイオード50aに駆動電圧を供給している。

【0006】次に、図3に示した従来のスイッチング電源装置の動作について、図4のタイムチャートを参照して説明する。

【0007】電力変換スイッチング素子31は、PWM回路51から電力変換スイッチング素子31の制御端子に出力される周期性のあるパルス制御信号(「Vg」という)によりスイッチング動作を行い、電力変換用トランス32の一次側32aおよび二次側32b、32cに交流電圧を発生させる。

【0008】二次側巻線32bに発生した交流電圧を、整流素子33、整流素子35によって整流する。整流された電圧は、チョークコイル34とコンデンサ36で構成されたフィルタ52(平滑回路)にて直流平滑され、負荷37に対して、直流電圧が供給される。

【0009】誤差検出回路48の誤差増幅器47は、直流平滑された出力電圧を監視しており、出力電圧が常に一定の直流電圧になるように、フォトカプラ50を用いて絶縁された形で、PWM回路51に対して、帰還信号(「VFB」という)を送出している。

【0010】フォトカプラ50のダイオード50aに流れる順電流の量を、誤差増幅器47の出力レベル(「VK」という)で調整することで、帰還信号VFBのレベルが可変に制御される。

【0011】PWM回路51の発振器(不図示)では、フォトカプラ50のフォトトランジスタ50bから入力された帰還信号VFBにより、電力変換スイッチング素子31の制御端子に出力するパルス制御信号(Vg)のパルス幅を随時変化させて、電力変換スイッチング素子31をスイッチングさせ(パルス制御信号VgがHigh/Lowレベルのとき、電力変換スイッチング素子31はそれぞれオン/オフする)、これにより、安定された出力電圧を生成する。

【0012】図4において、t1点で負荷率が低下すると、スイッチング電源装置53の出力電圧(Vo)が徐々に上昇し、また二次側に伝達した電力の消費が少なくなるので、誤差増幅器47の出力レベル(VK)が上昇し、ダイオード50aに流れる順電流(Io)の量が減少し、ダイオード50aの発光量が減少し、フォトトランジスタ50bに流れる電流が減少して帰還信号(VFB)が下がり、周期性があったPWM回路51によるパルス制御信号(Vg)のパルス間隔は狭くなるか、もしくは間欠信号になる。なお、PWM回路51において、帰還信号(VFB)は、フォトトランジスタ50bに流れる電流を電圧に変換され、帰還信号(VFB)と三角

波の振幅とが比較され、帰還信号(VFB)と三角波の振幅以上である期間に対応するパルス幅のパルス制御信号(Vg)が出力される。

【0013】また出力側に接続されていた負荷37が何らかの理由で、スイッチング電源装置53から切り離されたときは、電力が消費されるまで、PWM回路51からのパルス制御信号(Vg)が出力されない状態で、出力電圧(Vo)を安定化しようと動作する。すなわち出力電圧(Vo)が上昇すると、誤差増幅器47の出力端の電位も上昇し、ダイオード50aに順電流(Io)に流れなくなり(図4の順電流Ioの0%領域)、フォトトランジスタ50bにも電流は流れず、VFBは、三角波の振幅範囲以下となる。

【0014】今、t2点においてスイッチング電源装置53に接続されていた負荷37が無負荷領域(0%領域)から重負荷領域に瞬時に移行したとする。負荷率が急激に変化したことで、出力電圧(Vo)が低下するが、誤差増幅器47の出力レベル(VK)が下がり、ダイオード50aに流れる順電流(Io)が増加し、PWM回路51内の発振器の範囲から外れていた地点から低下した電圧を補正しようと、必要なVFBレベルまで移行させようとするが、誤差増幅器47の出力レベル(VK)が、フォトカプラ50のダイオード50aの順電流を流さない領域から流し始めて、VFBとして、一次側PWM回路51に伝達されるため、VFBがPWM回路51内の発振器の範囲内に移行するまでには、t3分の遅れが発生し、t3期間分だけ、電力変換スイッチング素子31を駆動させるパルス制御信号(Vg)は送出不される。従って、伝達時間の遅れにより、必要以上の出力電圧低下になってしまう。

【0015】すなわち、上記した従来の構成の場合、変動電流量が大きく、且つ変動時間が速い負荷急変現象が発生したとき、出力電圧が異常低下してしまい、その結果、負荷素子の動作不安定を引き起こす可能性がある。

【0016】その理由は、上記した従来の構成においては、急峻な負荷急変が発生したときの出力電圧の変動を補正するための帰還信号源が、負荷急変が発生する寸前ではPWM回路の発振器の範囲から十分外れてしまう領域に位置しており、負荷急変が発生したときに、帰還信号がPWM回路の発振器の範囲に到達するまでに、遅延が発生してしまう、ためである。

【0017】

【発明が解決しようとする課題】したがって、本発明が解決しようとする課題は、スイッチング電源装置に接続されている負荷素子が無負荷および軽負荷状態から急峻に重負荷状態に移行したときに、スイッチング電源装置の帰還信号の伝達遅れにより必要以上の出力電圧の低下を生じてしまうことを抑制する、スイッチング電源装置を提供することである。

【0018】

【課題を解決するための手段】上記課題を解決するための手段を提供する本発明のスイッチング電源回路は、直流入力電源を入力端に受け電圧変換用トランスの一次側に接続されたスイッチング手段の開閉により前記電圧変換用トランスの二次側に交流電圧を発生させ、前記交流電圧を整流回路、及び平滑フィルタを介して直流電圧に変換して出力し、出力端に接続された負荷へ電力を供給する構成とされており、出力電圧を監視し前記出力電圧の状態を二次側から一次側に絶縁された状態で伝達するため伝達素子の動作を制御する出力誤差検出回路と、前記伝達素子の出力を受ける受信素子の出力を帰還信号として入力し、前記帰還信号のレベルに基づき前記スイッチング手段の制御端子へ供給するパルス制御信号を出力する制御信号生成回路と、を備え、前記出力誤差検出回路の前記伝達素子には所定のバイアス電圧がかけられており、負荷軽減もしくは無負荷状態で前記制御信号生成回路に前記スイッチング手段へのパルス制御信号を送出しないレベルの帰還信号が入力されている状態から、負荷が変化し前記出力電圧が低下したときに、前記帰還信号は、前記制御信号生成回路が前記スイッチング手段に対してパルス制御信号を出力するレベルにまでに速やかに移行する構成とされている。

【0019】

【発明の実施の形態】本発明の実施の形態について説明する。本発明のスイッチング電源回路は、その好ましい一実施の形態において、直流入力電源を入力端から受け電圧変換用トランスの一次側に接続された電力変換スイッチング素子(4)の開閉により、前記電圧変換用トランスの二次側に交流電圧を発生させ、交流電圧を整流回路(7、8)、平滑フィルタ(11)を介して直流電圧に変換して出力し、出力端に接続された負荷へ電力を供給する構成とされており、負荷への安定した電力を供給するための回路手段として、出力電圧を監視し前記出力電圧に基づき発光素子(6a)の発光を制御する出力誤差検出回路(22)を備えており、発光素子(6a)から光を受光し電気信号を出力する受光素子(6b)の出力を帰還信号(VFB)として入力し、前記帰還信号と、発振手段で生成する周期信号波形とのレベルの大小関係に基づき、前記スイッチング手段の制御端子へ供給する制御信号を出力する制御信号生成回路(5)を備えており、出力誤差検出回路(22)において、発光素子には常にバイアス電圧がかけられている。

【0020】より詳しくは、発光素子(6a)はダイオードよりなり、ダイオードのアノードには前記電圧変換用トランスの二次側の補助電源回路(27)で二次側交流電圧を整流し定電圧化してなる補助電源電圧が供給され、ダイオードのカソードには、前記補助電源電圧を抵抗で分圧した電圧が供給されており、ダイオードのカソードには、このダイオードに流れる順電流を調整する誤差増幅器(19)の出力端が接続されている。誤差増幅

器(19)の出力電圧によってダイオードがバイアスされない状態になると、ダイオードは補助電源電圧を抵抗で分圧した電圧でバイアスされる。

【0021】このように、本発明においては、常に、出力誤差検出回路の一次二次伝達素子(二次側の出力電圧の状態を一次側で伝達するための発光素子)へバイアスをかける機能を備えている。

【0022】無負荷状態で、PWM回路(5)が、電力変換スイッチング素子(4)への駆動パルス制御信号をださない帰還信号を入力されていても、常に、帰還信号源となるフォトカプラのダイオード(6a)にバイアスがかけられているので、負荷急変が発生して出力電圧が低下したときに、PWM回路が必要とする電力変換スイッチング素子のパルス制御信号の帰還信号レベルまで即座に移行するため、帰還信号の発振器内への到達遅延が短くなる。このため、短縮された遅延時間分、出力電圧の低下が抑制され、この結果、負荷素子の動作電圧不足による不安定動作の発生をし難くすることができる。

【0023】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して詳細に説明する。図1は、本発明の一実施例の構成を示す図である。図1を参照すると、本発明の一実施例は、入力DC電源1が接続される入力端I1、I2間に接続される入力フィルタコンデンサ2と、入力端I1、I2間にコンデンサ2と並置され、直列に接続された電力変換用絶縁トランス3の一次巻線3a及び電力変換用スイッチング素子4を備え、電力変換用絶縁トランス3の二次巻線3bの一端に一端(アノード端子)が接続されたダイオードよりなる整流素子7と、整流素子7の他端(カソード端子)と二次巻線3bの他端間に接続されたダイオードよりなる整流素子8と、整流素子7、8の接続点に一端が接続されたチョークコイル9と、チョークコイル9の他端と二次巻線3bの他端間に接続されたコンデンサ10からなる整流平滑回路11と、を備え、チョークコイル9とコンデンサ10の一端の接続点と、コンデンサ10の他端はそれぞれ出力端O1、O2に接続され、出力端O1、O2間に負荷12が接続される。

【0024】さらに、二次側巻線3c(二次側補助巻線)の一端にアノード端子が接続されたダイオードよりなる整流素子23と、整流素子23のカソード端子と二次巻線3cの他端間に接続されたコンデンサ24と、整流素子23のカソード端子のコンデンサ24の接続点電圧を第1の端子に入力し、二次巻線3cの他端に第3の端子が接続された定電圧回路25と、定電圧回路25の第3の端子(出力端)と二次巻線3cの他端間に接続されたコンデンサ26とを備えた補助電源回路27を備えている。

【0025】補助電源回路27のコンデンサ26の一の端子と他の端子間に、該コンデンサ26と並列に接続さ

れた抵抗器 20、抵抗器 21 と、コンデンサ 26 と抵抗器 20 との接続点に一端が接続された抵抗 R と、抵抗 R の他端にアノード端子が接続されたダイオード 6a と、ダイオード 6a のカソード端子に出力端が接続された誤差増幅器 19 とを備え、出力端 O1 に一端が接続された抵抗器 13 と、抵抗器 13 の他端に一端が接続され他端が出力端 O2 間に接続された抵抗器 14 と、抵抗器 13 と抵抗器 14 の接続点と、誤差増幅器 19 の出力端間に接続された、抵抗 15 と、該抵抗 15 と並列に接続された、抵抗 16 とコンデンサ 17 よりなる直列回路と、を備え、抵抗器 14 の一端が誤差増幅器 19 に入力されるとともに、抵抗 20 と 21 の接続点が、ダイオード 6a のカソード端子に接続されている出力誤差回路 22 を備えている。二次巻線 3c の他端と、コンデンサ 24、26 と、定電圧回路 25 と、抵抗器 21 と、誤差増幅器 19 と、抵抗器 14 の接続点は、出力端 O2 に接続されている。

【0026】ダイオード 6a とともにフォトカブラを構成するフォトトランジスタ 6b からの信号 (VFB) は、PWM 回路 5 に供給され、PWM 回路 5 は、駆動パルス制御信号 Vg を、NMOSFET よりなる電力変換用スイッチング素子 4 の制御端子 (ゲート端子) に供給し、電力変換用スイッチング素子 4 をオン・オフ制御する。

【0027】補助電源回路 27 では、絶縁トランス 3 の二次側補助巻線 3c に発生した交流電圧を、整流素子 23、コンデンサ 24 にて平滑し、定電圧回路 25 へ入力し、定電圧回路 25 の出力を、フィルタコンデンサ 26 で平滑化した電圧を、出力誤差検出器 22 の動作電圧源として供給する。

【0028】出力誤差検出器 22 において、フォトカブラを構成するダイオード 6a は、補助電源回路 27 の出力電圧でアノード端子が駆動され、カソード端子は、補助電源回路 27 の出力電圧を分圧抵抗で分圧した電圧で、バイアスされている。

【0029】次に図 1 に示した本発明の一実施例の動作について、図 2 に示すタイムチャートを参照して説明する。図 2 において、Vo は出力電圧、Io はダイオード 6a の順電流、VFB は帰還信号 (フォトトランジスタ 6b に流れる電流を電圧に変換した信号)、三角波は PWM 回路 5 の不図示の発振器から出力される周期信号波形 (三角波)、Vg は PWM 回路 5 から出力されるパルス制御信号、VK は、誤差増幅器 19 の出力レベルである。DC 入力電源 1 から供給される任意の電圧によって、PWM 回路 5 が動作を開始しスイッチング素子 4 の動作を制御し、トランス 3 の二次側に交流電圧を発生させ、整流素子 7、整流素子 8、フィルタ 10 を介し誤差増幅器 13 の帰還制御により所望の安定した直流電圧を得ることは、一般的なスイッチング電源回路方式として知られているため詳しい動作説明は省略する。

【0030】図 2 の t0 において、スイッチング電源装置 28 は、負荷率 A% で負荷素子 12 に必要電力を供給している。

【0031】t0 点 (時刻) において、帰還信号 (VFB) は、PWM 回路 5 内に設けられている発振器 (図示されない) の三角波内に位置しており、三角波と VFB の交点で、スイッチング素子 4 の駆動パルス制御信号 (Vg) (Vg は VFB が三角波よりもレベルが大きな期間のパルス幅を有する) を送出している。

【0032】t1 点から負荷率が減少し、A% から B% (ただし、A > B) へ移行し、出力電圧 (Vo) は、負荷率の減少に合わせ上昇していくと共に、負荷が軽減されたことに伴い、二次側への供給パルス電力を低減させるために、パルス制御信号 (Vg) を抑制するよう、誤差検出回路 22 が、帰還信号 VFB を調整するよう働く。

【0033】t2 地点でさらに負荷率が低下し、B% から 0% になると、二次側に伝送された電力を吸収する負荷が、スイッチング電源装置 28 の出力側に接続された回路しかなく、ほとんどゼロに等しくなるので、パルス制御信号 (Vg) を送出しないように、VFB のレベルが調整される。

【0034】スイッチング素子 4 に駆動パルス制御信号 (Vg) を送出しないということは、フォトカブラのダイオード 6a 側の順電流が流れないように、誤差増幅器 19 が動作しており、誤差増幅器 19 の出力 (VK) によって、フォトカブラのダイオード 6a はバイアスされないことになる。

【0035】誤差増幅器 19 の出力 (VK) によってバイアスされない状態になると、フォトカブラのダイオード 6a は、抵抗器 21 にてバイアスされ、VK のレベルは、抵抗器 20 と抵抗器 21 により固定される。

【0036】固定されたレベルは、PWM 回路 5 内の発振器 (図示されない) の三角波にかからない位置に抑えるように設定されている。

【0037】t3 地点でほとんどゼロであった負荷率が、急峻に C% に到達し始め、負荷率が上昇するに従い出力電力は消費されていく。

【0038】今まで、スイッチング素子 4 の制御端子にパルス制御信号 (Vg) が送出されていなかったため、消費された電力を補おうと、必要なパルス制御信号 (Vg) を送出するために、誤差検出回路 19 は、出力電圧 (Vo) の低下を検出し、誤差増幅器 19 はフォトカブラのダイオード 6a に順電流を流そうとする。

【0039】元々、負荷率がほとんどゼロの地点でフォトカブラのダイオード 6a はバイアスされているため、誤差増幅器 19 により出力レベル (VK) が調整され、フォトカブラ 6 のダイオード 6a へ順電流が流れ始めてから、帰還信号 (VFB) のレベルが、駆動パルス制御信号 (Vg) として必要な三角波の位置まで移行する選

れ時間は、 t_4 程度で抑えられる。すなわち、フォトカブラのダイオード6aがバイアスされていなかった従来の方式に比べて、VFBが必要なパルス制御信号(Vg)送出のレベルに到達するまでの期間が短縮できる。

【0040】従って、出力電圧(Vo)が低下してから復旧するまでの時間および復旧してから設定された出力電圧で安定されるまでの時間が短縮される。

【0041】本実施例によれば、常に出力電圧の誤差検出回路に設けた一次二次間信号伝達用素子であるフォトカブラの発光素子にバイアスをかけているため、出力に接続された負荷がほとんどなくなり、電力変換スイッチング素子を駆動させるパルス信号をださないように出力誤差検出回路がPWM回路に負帰還制御をかけている状態から、急峻に重負荷領域に移行した場合でも、必要となる帰還信号への到達時間が速くなり、出力電圧の補正が早く行われる。

【0042】

【発明の効果】以上説明したように、本発明のスイッチング電源回路は、出力電圧の誤差検出回路に設けた一次二次間信号伝達用素子であるフォトカブラの発光素子に対して常に所定のバイアス電圧をかけているため、スイッチング電源回路の出力に接続された負荷がほとんどなくなり、電力変換スイッチング素子を駆動させるパルス制御信号を出力しないように、出力誤差検出回路が、PWM回路に負帰還制御をかけている状態から、急峻に重負荷領域に移行した場合でも、必要となる帰還信号への到達時間が速くなり、出力電圧の補正を素早く行うことができる。

【0043】このため、本発明によれば、高速負荷変動が生じた場合でも、出力誤差検出からPWM制御までの負帰還応答が高速化されているため、過渡的な状態での出力電圧の落ち込みを少なくすることができ、負荷素子の動作電圧不足による不安定動作を発生しにくくすることができる、という効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例の動作を示すタイムチャート図である。

【図3】従来の構成の一例を示す図である。

【図4】図3に示した従来の構成の動作を示すタイムチャート図である。

【符号の説明】

1 入力DC電源

2 コンデンサ
3 トランス
4 スwitchング素子
5 PWM回路
6a ダイオード
6b フォトトランジスタ
7 整流素子
8 整流素子
9 チョークコイル
10 10 コンデンサ
11 平滑フィルタ
12 負荷素子
13~16 抵抗器
17 コンデンサ
19 誤差増幅器
20、21 抵抗器
22 出力誤差検出器
23 整流素子
24 コンデンサ
25 定電圧回路
26 コンデンサ
27 補助電源回路
28 スwitchング電源装置
29 入力DC電源
30 コンデンサ
31 スwitchング素子
32 トランス
33、35、38 整流素子
34 チョークコイル
36、40、41 コンデンサ
37 負荷素子
39 定電圧回路
42、43、44、45、49 抵抗器
46 コンデンサ
47 誤差増幅器
48 出力誤差検出器
50 フォトカブラ
50a ダイオード
50b フォトトランジスタ
51 PWM回路
52 平滑フィルタ
I1、I2 入力端
O1、O2 出力端

The timing diagram illustrates the behavior of the 7805 voltage regulator during a load regulation test. The signals shown are:

- Vo**: Output voltage, which remains constant at 5V during the load change (A% to B%) and then drops slightly before settling back to 5V (C%).
- Io**: Load current, which is constant at 0.5A (labeled as 0.5 (≈0.5A)) during the load change (A% to B%) and then increases to a higher level (C%).
- VFB**: Feedback voltage, which is a triangular wave (labeled "三角波") that follows the output voltage Vo.
- Vg**: Gate voltage, which is a square wave that is high during the load change (A% to B%) and low otherwise.
- VK**: Kick voltage, which is a square wave that is high during the load change (A% to B%) and low otherwise.

The time intervals are marked as follows:

- t0**: Start of the test.
- t1**: Start of the load change (A%).
- t2**: End of the load change (B%).
- t3**: End of the recovery time (C%).
- t4**: Time interval from t3 to the end of the test.

【図3】

